

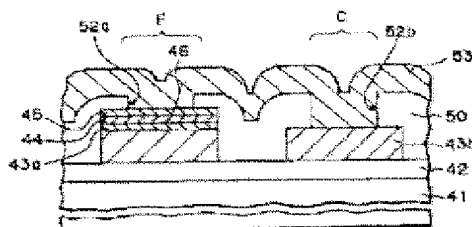
SEMICONDUCTOR DEVICE HAVING ANTIFUSE

Publication number: JP5198681
Publication date: 1993-08-06
Inventor: TSUZUKI NORIHISA; SAIKI TAKASHI; MOCHIZUKI AKITOSHI
Applicant: FUJITSU LTD
Classification:
- international: H01L21/82; H01L21/3205; H01L21/768; H01L23/52; H01L23/522; H01L21/02; H01L21/70; H01L23/52; (IPC1-7): H01L21/3205; H01L21/82; H01L21/90
- European:
Application number: JP19920281356 19921020
Priority number(s): JP19920281356 19921020; JP19910275822 19911023; JP19910275823 19911023; JP19910278208 19911025

Report a data error here

Abstract of JP5198681

PURPOSE:To acquire a semiconductor device having a semiconductor circuit of stable specified characteristics by forming an amorphous semiconductor layer for an antifuse whose thickness and configuration are uniform by forming the amorphous semiconductor layer before formation of a layer insulating layer. **CONSTITUTION:**This device is provided with a semiconductor substrate 41, an insulating layer 42 formed on the semiconductor substrate 41, a lower wiring layer 43a formed on the insulating layer 42 and an amorphous semiconductor layer 45 for an antifuse formed on the lower wiring layer 43a. Furthermore, it is also provided with a layer insulating layer 50 which is formed on the insulating layer 42 and the amorphous semiconductor layer 45 and has a contact hole 52a attaining to the amorphous semiconductor layer 45 and an upper wiring layer 53 which is formed on the layer insulating layer 50 and connected to the amorphous semiconductor layer 45 through the contact hole 52a. For example, barrier layers 46, 44 are formed between the amorphous semiconductor layer 45 and its upper wiring layer 53 and between the layer 45 and its lower wiring layer 43a, respectively.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-198681

(43)公開日 平成5年(1993)8月6日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
21/3205				
21/90	B	7735-4M		
		9169-4M	H 0 1 L 21/ 82	F
		7735-4M	21/ 88	M
			審査請求 未請求 請求項の数 5 (全 12 頁)	

(21)出願番号 特願平4-281356

(22)出願日 平成4年(1992)10月20日

(31)優先権主張番号 特願平3-275822

(32)優先日 平3(1991)10月23日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平3-275823

(32)優先日 平3(1991)10月23日

(33)優先権主張国 日本 (J P)

(31)優先権主張番号 特願平3-278206

(32)優先日 平3(1991)10月25日

(33)優先権主張国 日本 (J P)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 都築 範久

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 斎木 孝志

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 望月 昭寿

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

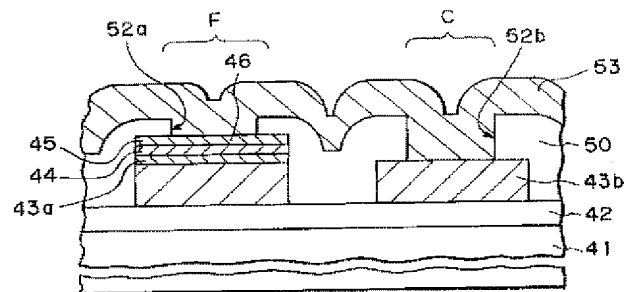
(74)代理人 弁理士 青木 朗 (外3名)

(54)【発明の名称】 アンチヒューズを備えた半導体装置

(57)【要約】

【目的】 アンチヒューズを備えた半導体装置に関し、厚さや形状の均一なアンチヒューズ用非晶質シリコン層を形成して、安定した所定特性の半導体回路を有する半導体装置を提供する。

【構成】 半導体基板41と、半導体基板上に形成された絶縁層42と、該絶縁層上に形成された下層配線層43a、43bと、下層配線層43aの上に形成されたアンチヒューズ用の非晶質半導体層45と、絶縁層および非晶質半導体層の上に形成されかつ該非晶質半導体層に達するコンタクトホールを有する層間絶縁層50と、層間絶縁層の上に形成されかつコンタクトホール52aを介して非晶質半導体層45に接続された上層配線層53と、からなることを特徴とするアンチヒューズを備えた半導体装置に構成する。配線層がアルミニウムである場合に、非晶質半導体層と下層配線層（および上層配線層）との間に下層（上層）バリア層44（46）が形成されている。



44…下層バリア層（酸化チタン層）
 45…非晶質シリコン層
 46…上層バリア層（酸化チタン層）
 50…層間絶縁層
 52a, 52b…コンタクトホール
 53…上層配線層（アルミニウム配線層）

【特許請求の範囲】

【請求項1】 半導体基板（41、61）と、
前記半導体基板上に形成された絶縁層（42、62）
と、
前記絶縁層上に形成された下層配線層（43a、63）
と、
前記下層配線層の上に形成されたアンチヒューズ用の非
晶質半導体層（45、65）と、
前記絶縁層および前記非晶質半導体層の上に形成されか
つ前記非晶質半導体層（45、65）に達するコンタ
クトホールを有する層間絶縁層（50、66）と、
前記層間絶縁層の上に形成されかつ前記コンタクトホ
ールを介して前記非晶質半導体層に接続された上層配線層
（53、72a）と、
からなることを特徴とするアンチヒューズを備えた半導
体装置。

【請求項2】 前記下層配線層（43a、63）と前記
非晶質半導体層（45、65）との間に下層バリア層
（44、64）が形成され、そして、前記非晶質半導体
層（45、65）と前記上層配線層（53、72a）と
間に上層バリア層（46、56a、71a、76a）が
形成されていることを特徴とする請求項1記載の半導体
装置。

【請求項3】 前記上層バリア層（56a、76a）が
前記コンタクトホールの中のみに形成されていることを
特徴とする請求項2記載の半導体装置。

【請求項4】 前記上層バリア層（71a）が前記上層
配線層（72a）の下にあって前記層間絶縁層（50、
66）上に延在していることを特徴とする請求項2記載
の半導体装置。

【請求項5】 前記非晶質半導体層（45、65）がア
モルファスシリコン層であることを特徴とする請求項1
記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、IC、LSIなどの半
導体装置に関し、より詳しくは、アンチヒューズを備え
た半導体装置に関する。アンチヒューズは、FPGA
(Field Programmable Gate Array)などのユーザプログ
ラム可能な論理デバイスの論理セル、あるいはPRO
Mのメモリーセル内に形成される。なお、アンチヒュー
ズとは、通常の溶断ヒューズとは逆に初期状態がオープ
ンであり、書き込み操作によって導通状態になるヒュー
ズである。

【0002】

【従来の技術】アンチヒューズ構造Aは、例えば、図1
(d)に示すように、半導体基板1の絶縁層2の上に形
成された下層配線（金属）層3と上層配線（金属）層4
とがこれらの間に設けられた層間絶縁層5のコンタクト
ホール6、7を介して接続される場合に、所定のコンタ

クトホール6にて下層配線層3と上層配線層4との間に
非晶質シリコン層8を形成することで設けられている。
なお、図1(d)の左側の通常のコンタクト構造Cで
は、下層配線層3と上層配線層4とがコンタクトホール
7内で直接に接触している。アンチヒューズを用いたF
PGAが、例えば、J.Birkner et al. "a very high-sp
eed field programmable gate array using metal-to-me
tal antifuse programable elements", IEEE 1991, Cus
tom integrated circuits conference, Paper 1.7, p
p. 1-6 に開示されている。

【0003】このアンチヒューズ構造Aを備えた半導体
装置は次のようにして形成される。図1(a)に示すよ
うに、シリコンなどの半導体基板1の上に絶縁層2を形
成し、その上に下層配線（金属）層3を形成する。そし
て、図1(b)に示すように、全面を層間絶縁層5で覆
い、選択的エッチングによってコンタクトホール6およ
び7を開ける。これらコンタクトホール6、7内に下層
配線層3を表出している。

【0004】次に、全面の上にCVD法によって非晶質
シリコン層（厚さ約100nm）を形成し、図1(c)に
示すように、フォトリソグラフィ法でパターニングし
てコンタクトホール6の内部とその周辺にアンチヒュー
ズ用非晶質シリコン層8を残す。そして、全面の上にア
ルミニウムなどの金属層を形成し、図1(d)に示すよ
うに、これをパターニングして上層配線層4を形成し、
アンチヒューズ構造Aにおいては、上層配線層4が非晶
質シリコン層8の上にあり、一方、コンタクト構造Cに
おいては、上層配線層4が下層配線層3に直接接触して
いる。

【0005】この状態のアンチヒューズAでは非晶質シ
リコン層8の電気抵抗値が100MΩ程度であり、下層
配線層3と上層配線層4とは導通していない。そして、
アンチヒューズAを用いて、プログラミングに応じて下
層配線層3と上層配線層4とを導通させるには、これら
配線層3、4の間に電圧を印加し、ジュール熱を発生さ
せて非晶質シリコンの一部を多結晶シリコンに変えて、
シリコン層8の抵抗値を50～150Ωに下げる。

【0006】通常の半導体装置での配線層の金属にはア
ルミニウム（Al、Al-Si、Al-Cu、Al-S
i-Cuなど）が広く使用されているが、アルミニウム
配線層と非晶質シリコン層とが接触していると、CVD
処理時の加熱やアニール熱処理などの際に、アルミニウ
ムが非晶質シリコン層へ拡散して抵抗値を低下させてし
まう。そこで、アルミニウム配線層と非晶質シリコン層
との間にバリア層（W、Mo、Ta、TiN、TiW、
WN、TaNなど）を形成している（例えば、（例え
ば、Brian Cook, Steve Keller: "Amorphous Silicon A
ntifuse Technology For Bipolar PROMS", Bipolar cir
cuits and technology meeting, IEEE, 1986, pp. 99-1
00、特開平3-179763号公報（EP-04143

61-A2) 参照)。

【0007】例えば、図2に示すように、別のアンチヒューズ構造Aは、アルミニウム下層配線層21、TiN下層バリア層22、アンチヒューズ用非晶質シリコン層23、TiN上層バリア層24およびアルミニウム上層配線層25からなる。この場合に、シリコン半導体基板26の上に絶縁層27が形成され、その上に下層配線層21が形成されている。下層配線層21の上にTiN下層バリア層22を形成した後で、全面の上に層間絶縁層28を積層し、選択的エッチング法によってコンタクトホール30および31を開ける。コンタクトホール30の中およびその周辺に非晶質シリコン層23を選択的に形成する。次に、全面にTiNを積層し、続いてアルミニウムを積層し、これらをパターニングして上層配線層25とその下の上層TiNバリア層24を形成する。コンタクトホール31では下層配線層21と上層配線層25とがTiNバリア層22および24を介して導通しており、通常のコンタクト構造Cを構成している。

【0008】

【発明が解決しようとする課題】従来のアンチヒューズ構造を形成するには、層間絶縁層にコンタクトホールを開けてから、そのコンタクトホールを覆うように非晶質シリコンを積層し、パターニングしてアンチヒューズ用非晶質シリコン層を形成している。この場合に、コンタクトホールのサイズによっては、微細化が進む程、一つのコンタクトホール内で非晶質シリコン層の厚さが均一でなく、コンタクトホール内の底面コーナーでの非晶質シリコン層のカバーレッジが均一でなく、さらに複数のコンタクトホールにおける層厚のバラツキがある。このために、書き込み電圧、導通時(ON)抵抗が定まらず、アンチヒューズに繋がる半導体回路の特性がばらつきかつ不安定になってしまう。

【0009】さらに、非晶質シリコン層と上層配線層との間に設けたバリア層はそのバリア性を確保するために、図2に示した場合では、非晶質シリコン層23の端部でのバリア層24のステップカバーレッジ(地点32)が良好なことが求められている。そのために、バリア層24の厚さを厚くする必要がある。そうすると、バリア層の厚さ増加に応じて上層配線層25の表面の凹凸が大きくなり、好ましくない。

【0010】本発明の目的は、厚さや形状の均一なアンチヒューズ用非晶質半導体層(シリコン層)を形成して、安定した所定特性の半導体回路を有する半導体装置を提供することである。本発明の別の目的は、アルミニウム上層配線層とアンチヒューズ用非晶質シリコン層との間にバリア層を有するアンチヒューズ構造において、バリア層厚さを厚くする必要のない半導体装置を提供することである。

【0011】

【課題を解決するための手段】上述の目的が、半導体基

板と、半導体基板上に形成された絶縁層と、絶縁層上に形成された下層配線層と、下層配線層の上に形成されたアンチヒューズ用の非晶質半導体層と、絶縁層および非晶質半導体層の上に形成されかつ該非晶質半導体層に達するコンタクトホールを有する層間絶縁層と、層間絶縁層の上に形成されかつコンタクトホールを介して非晶質半導体層に接続された上層配線層と、からなることを特徴とするアンチヒューズを備えた半導体装置によって達成される。

【0012】下層配線層がアルミニウムである場合に、非晶質半導体層と下層配線層との間に下層バリア層が形成されていることは好ましい。上層配線層がアルミニウムである場合に、非晶質半導体層と上層配線層との間に上層バリア層が形成されていることも好ましい。このような場合に、上層バリア層は(1)非晶質半導体層の上に、(2)コンタクトホールの中のみに、あるいは、

(3)上層配線層の下に形成される。

【0013】アンチヒューズ用の非晶質半導体層がアモルファスシリコン層であることは望ましい。さらに、下層バリア層および上層バリア層が窒化チタン、タングステン、モリブデン、タンタル、チタタングステン、窒化タングステンまたは窒化タンタルである。

【0014】また、下層配線層および上層配線層がアルミニウム、多結晶シリコン、金属シリサイド、ポリサイドまたは高融点金属である。また、上述の半導体装置が、下記工程(ア)～(オ)：

(ア)半導体基板の上に絶縁層を形成する工程、(イ)絶縁層の上に下層配線層を形成する工程、(ウ)下層配線層の上にアンチヒューズ用の非晶質半導体層を形成する工程、(エ)絶縁層および前記非晶質半導体層の上にコンタクトホールを有する層間絶縁層を形成する工程、(オ)コンタクトホールを介して前記非晶質半導体層に接続する上層配線層を層間絶縁層の上に形成する工程、からなる製造方法によって製造される。

【0015】下層配線層の形成工程(イ)と非晶質半導体層の形成工程(ウ)との間に、下層バリア層を下層配線層の上に形成することは好ましい。非晶質半導体層の形成工程(ウ)と層間絶縁層の形成工程(エ)との間に、上層バリア層を下層配線層の上に形成することは好ましい。さらに、コンタクトホールを有する層間絶縁層を形成する工程(エ)と上層配線層を形成する工程

(オ)との間に、上層バリア層を形成することもできる。このような場合に、上層配線層をパターニングするのに続いて、上層バリア層を該上層配線層と同じ形状にパターニングしてもよく、あるいは、コンタクトホールの中のみに上層バリア層を非晶質半導体層の上に形成してもよい。

【0016】

【作用】本発明によれば、アンチヒューズ用非晶質半導体層を層間絶縁層形成の前に形成するので(すなわち、

層間絶縁層のコンタクトホールを開けてから非晶質半導体層を形成する工程ではないので)、コンタクトホールのサイズには何ら影響されずに、非晶質半導体層を均一厚さで下層配線層(または下層バリア層)の上に形成することができる。したがって、非晶質半導体層の上の層間絶縁層にコンタクトホールを開けたときには、該コンタクトホールの中に均一厚さの非晶質半導体層の一部が表出しているため、非晶質半導体層厚さの不均一やばらつきに起因するトラブルは生じない。故に、アンチヒューズの書き込み電圧、導通後のON抵抗値は一定となり、回路特性は所定値で安定している。

【0017】

【実施例】以下、添付図面を参照して、本発明の実施態様例によって本発明を詳細に説明する。

例1

図3～図7は、本発明の第1実施態様例に係るアンチヒューズを備えた半導体装置の製造工程を説明するための概略断面図であり、図8は図7の概略平面図である。

【0018】このアンチヒューズ付き半導体装置は次のようにして製造される。図3に示すように、まず、シリコンウエハのような半導体基板41の上に熱酸化法、CVD法などで絶縁層(例えば、 SiO_2 層)42を形成する。この絶縁層42の全面に、真空蒸着法、スパッタリング法などによってアルミニウム層(厚さ:約500nm)43を積層し、その上に、下層バリア層となる窒化チタン(TiN)層(厚さ:約100nm)44をスパッタリング法によって積層する。スパッタリング法の場合には、チタターゲットを窒素(ガス)によってスパッタリングする。

【0019】次に、窒化チタン層44の上に、非晶質シリコン層(厚さ:80～110nm)45をCVD法またはスパッタリング法によって積層する。CVD法の場合には、シラン(SiH_4)或いはジシラン(Si_2H_6)の還元反応によって、成長(基板)温度を400～500℃として行われ、また、スパッタリング法の場合には、シリコンターゲットをアルゴンでスパッタリングする。この非晶質シリコン層45に不純物をイオン注入法でドーピングしてもよいし、しなくてもよい。イオン注入を行う場合には、不純物として燐、砒素、硼素、III族またはV族の元素が適しており、ドーピング量は $1 \times 10^{14} \sim 1 \times 10^{16}$ atoms/cm²であり、注入エネルギーは不純物が非晶質シリコン層45を突き抜けない程度とする。600℃以上の熱処理を施すと、非晶質シリコン($\alpha\text{-Si}$)は多結晶化してしまうので、イオン注入後に活性化アニールをおこなってはならない。

【0020】さらに、非晶質シリコン層45の上に、上層バリア層となる窒化チタン層(厚さ:約100nm)46をスパッタリング法によって積層する。その後、窒化チタン層46の上に、フォトリソを塗布し、露光、現像して、コンタクト域を含むアンチヒューズ形成

領域(図8での斜線部E)のみにレジスト層47を残存させる。

【0021】図4に示すように、レジスト層47をマスクとして、窒化チタン層46、非晶質シリコン層45および窒化チタン層44を連続的にRIE法、プラズマエッチング法などによって選択的にエッチングする。その結果として、レジスト層47の下の方にこれらの層44、45、46をアンチヒューズ形成領域Eの形状に残存させる。そして、レジスト層47を溶剤でまたはアッシングで除去する。

【0022】次に、図5に示すように、再びフォトリソを全面に塗布し、下層配線層のパターンに露光し、現像して、下層配線層パターンのレジスト層48を形成する。該レジスト層48をマスクとして、アルミニウム層43をRIE法、プラズマエッチング法などによって選択的にエッチングして、下層配線層43aおよび43bを形成する。レジスト層48を溶剤でまたはアッシングで除去する。

【0023】図6に示すように、全面に SiO_2 、PSGなどの層間絶縁層50をCVD法で積層する。その上に、フォトリソを全面に塗布し、コンタクトホールのパターンに露光し、現像して、コンタクトホール対応箇所に開口のあるレジスト層51を形成する。該レジスト層51をマスクとして、層間絶縁層50をRIE法、プラズマエッチング法などによって選択的にエッチングして、コンタクトホール52aおよび52bを開ける。コンタクトホール52a内に窒化チタン層46が表出し、コンタクトホール52b内にアルミニウム下層配線層43bが表出している。そして、レジスト層51を溶剤でまたはアッシングで除去する。

【0024】この後に、図7および図8に示すように、コンタクトホール52a、52bを有する層間絶縁層50の上の全面にアルミニウム層53を真空蒸着法、スパッタリング法などによって積層する。このアルミニウム層53の上に上層配線層パターンのレジスト層(図示せず)を形成し、該レジスト層をマスクとして、アルミニウム層53をRIE法、プラズマエッチング法などによって選択的にエッチングして、上層配線層53を形成する。そして、レジスト層を溶剤でまたはアッシングで除去する。

【0025】このようにして製造されたアンチヒューズ付き半導体装置のアンチヒューズ構造Fでは、コンタクトホール52a内でのアルミニウム上層配線層53が窒化チタン層46のコンタクト領域54aと接触しており、一方、コンタクトホール52b内ではアルミニウム上層配線層53がアルミニウム下層配線層43bとコンタクト領域54bで接触して通常にコンタクト構造Cを構成している。

【0026】非晶質シリコン層45は下層配線層と層間絶縁層との間に形成され、しかも、平坦な表面上に形成

されるので、非晶質シリコン層45の厚さは均一であり、コンタクトホール52aのサイズには全く影響されない。したがって、アンチヒューズの書き込み電圧やON抵抗は所定値でバラツキが非常に小さくなり、半導体回路の特性が安定する。そして、プログラム前の初期状態では、非晶質シリコン層45は電気抵抗が100MΩ程度と大きく、アンチヒューズ構造Fでは下層配線層43aと上層配線層53とは電氣的にオープン状態となっている。また、下層および上層のバリア層44、46が非晶質シリコン層45をアルミニウム配線層43aおよび53から離しているため、アルミニウムのシリコン層45への拡散が防止されて、非晶質シリコン層45の抵抗値が変動(低下)することはない。

【0027】そして、アンチヒューズ構造Fでの下層配線層43aと上層配線層53との間に8~11V(例えば、10V)のパルス電圧を印加すると、非晶質シリコン層45の一部でジュール熱が発生し、多結晶シリコンに相転移して100Ω程度まで抵抗値が下がる。この多結晶シリコン部分を通して電流が流れるようになり、下層配線層43aと上層配線層53とが導通状態になる。この多結晶シリコン部分が再び非晶質シリコンへ変化することはなく、アンチヒューズは100Ωに維持される。このようにして、集積回路中に多数形成された配線層間のアンチヒューズ(非晶質シリコン層)を所定箇所で導通状態(ON状態)にすれば、所望の論理回路を構成することが出来る。

【0028】例2

図9~図13は、本発明の第2実施態様に係るアンチヒューズを備えた半導体装置の製造工程を説明するための概略断面図であり、図14は図13の概略平面図である。図9に示すように、シリコンウエハーなどの半導体基板61の上に絶縁層(SiO₂層)62を熱酸化法、CVD法などによって形成する。この絶縁層62の全面に、アルミニウム層63を真空蒸着法、スパッタリング法で積層し、その上に下層バリア層となる窒化チタン層64をスパッタリング法によって積層する。次に、窒化チタン層64の上に、非晶質シリコン層65をCVD法またはスパッタリング法によって積層する。そして、この非晶質シリコン層65に不純物をイオン注入してもよいし、しなくてもよい。ここまでの工程は例1の場合と同じである。

【0029】非晶質シリコン層65の上にフォトレジスト(図示せず)を塗布し、下層配線層パターンに露光し、現像して、下層配線層パターンのレジスト層(図示せず)を形成する。このレジスト層をマスクとして、非晶質シリコン層65、窒化チタン層64およびアルミニウム層63を、図14での斜線部の形状に、RIE法、プラズマエッチング法などによって選択的にエッチングする。このようにしてアルミニウムの下層配線層63が形成される。

【0030】次に、図9に示すように、全面にSiO₂、PSGなどの層間絶縁層66をCVD法で積層する。その上に、フォトレジストを全面に塗布し、コンタクトホールのパターンに露光し、現像して、コンタクトホール対応箇所に開口のあるレジスト層67を形成する。このレジスト層67をマスクとして、層間絶縁層66をRIE法、プラズマエッチング法などによって選択的にエッチングして、図10に示すような、コンタクトホール68aおよび68bを開ける。レジスト層67を溶剤でまたはアッシングで除去する。

【0031】次に、図10に示すように、再びフォトレジストを全面に塗布し、通常のコンタクトCに対応するパターンに露光し、現像して、レジスト層69を形成する。このレジスト層69によってコンタクトホール68aは覆われており、コンタクトホール68bは表出している。そして、このレジスト層69および絶縁層66をマスクとして、非晶質シリコン層65および窒化チタン層64をRIE法、プラズマエッチング法などによって選択的にエッチングして、図11に示すように、コンタクトホール68bを完成させる。コンタクトホール68a内に非晶質シリコン層65が表出し、コンタクトホール68b内にアルミニウム下層配線層63が表出している。そして、レジスト層69を溶剤でまたはアッシングで除去する。

【0032】次に、図12に示すように、コンタクトホール52a、52bを有する層間絶縁層50の全面に上層バリア層として窒化チタン層71をCVD法またはスパッタリング法によって積層し、その上にアルミニウム層72を真空蒸着法、スパッタリング法などによって積層する。このアルミニウム層73の上に上層配線層パターンのレジスト層73を形成する。

【0033】レジスト層73をマスクとして、アルミニウム層72および窒化チタン層71を連続的にRIE法、プラズマエッチング法などによって選択的にエッチングして、図13および図14に示すように、窒化チタン層71をその下に有するアルミニウム上層配線層72aおよび72bを形成する。そして、レジスト層73を溶剤でまたはアッシングで除去する。

【0034】このようにして製造されたアンチヒューズ付き半導体装置のアンチヒューズ構造Fでは、コンタクトホール68a内で上層配線層72a(の窒化チタン層71a)が非晶質シリコン層65のコンタクト領域74aと接触しており、一方、コンタクトホール68b内では上層配線層72b(の窒化チタン層71b)がアルミニウム下層配線層63bとコンタクト領域74bで接触して通常にコンタクト構造Cを構成している。

【0035】このようにして非晶質シリコン層65は下層配線層と層間絶縁層との間に形成され、しかも、平坦な表面上に形成されるので、例1の場合と同様に、非晶質シリコン層65の厚さは均一である。したがって、ア

ンチヒューズの書き込み電圧やON抵抗は所定値でバラツキが非常に小さくなり、半導体回路の特性が安定する。そして、プログラム前の初期状態では、非晶質シリコン層65は電気抵抗が100MΩ程度と大きく、アンチヒューズ構造Fでは下層配線層63と上層配線層72aとは電氣的にオープン状態となっている。また、下層および上層のバリア層64、71aが非晶質シリコン層65を挟んでアルミニウム配線層63および72aから離れているので、アルミニウムのシリコン層65への拡散が防止されて、非晶質シリコン層65の抵抗値が変動

(低下)することはない。
【0036】そして、例1と同様にアンチヒューズ構造Fでの下層配線層63と上層配線層72aとの間に8~11V(例えば、10V)のパルス電圧を印加すると、非晶質シリコン層65の一部が多結晶シリコンに変化し100Ω程度まで抵抗値が下がり、導通状態になる。このようにして、集積回路中に多数形成された配線層間のアンチヒューズ(非晶質シリコン層)を所定箇所で導通状態(ON状態)にすれば、所望の論理回路を構成することが出来る。

【0037】例3

図15~図19は、本発明の第3実施態様に係るアンチヒューズを備えた半導体装置の製造工程を説明するための概略断面図である。この場合には、例1で非晶質シリコン層の上に上層バリア層(窒化チタン層)を形成していたのを、層間絶縁層のコンタクトホールを開けてから、該コンタクトホール内に上層バリア層のタングステン層を選択的に埋め込むことで形成する。なお、例1にて用いた参照番号および記号を同一ないし対応部材を表すものとして用いる。

【0038】このアンチヒューズ付き半導体装置は次のようにして製造される。図15に示すように、まず、シリコンウエハのような半導体基板41の上に熱酸化法、CVD法などで絶縁層(例えば、SiO₂層)42を形成する。この絶縁層42の全面に、真空蒸着法、スパッタリング法などによってアルミニウム層43を積層し、その上に、下層バリア層となるタングステン層54をCVD法またはスパッタリング法によって積層する。CVD法の場合には、WF₆の反応ガスを用い、また、スパッタリング法の場合には、タングステンターゲットをアルゴンによってスパッタリングする。次に、タングステン層54の上に、非晶質シリコン層45をCVD法またはスパッタリング法によって積層する。この非晶質シリコン層45に不純物をイオン注入法でドーブしてもよいし、しなくてもよい。

【0039】そして、非晶質シリコン層45の上に、フォトレジストを塗布し、露光、現像して、コンタクト域を含むアンチヒューズ形成領域(図8での斜線部Eに対応部分)のみにレジスト層47を残存させる。図16に示すように、レジスト層47をマスクとして、非晶質シ

リコン層45およびタングステン層54を連続的にRIE法、プラズマエッチング法などによって選択的にエッチングする。その結果として、レジスト層47の下の方にこれらの層54、45をアンチヒューズ形成領域Eの形状に残存させる。そして、レジスト層47を溶剤でまたはアッシングで除去する。

【0040】次に、図17に示すように、再びフォトレジストを全面に塗布し、下層配線層のパターンに露光し、現像して、下層配線層パターンにレジスト層48を形成する。該レジスト層48をマスクとして、アルミニウム層43をRIE法、プラズマエッチング法などによって選択的にエッチングして、下層配線層43aおよび43bを形成する。レジスト層48を溶剤でまたはアッシングで除去する。

【0041】図18に示すように、全面にSiO₂、PSGなどの層間絶縁層50をCVD法で積層する。その上に、フォトレジストを全面に塗布し、コンタクトホールパターンに露光し、現像して、コンタクトホール対応箇所に開口のあるレジスト層51を形成する。該レジスト層51をマスクとして、層間絶縁層50をRIE法、プラズマエッチング法などによって選択的にエッチングして、コンタクトホール52aおよび52bを開ける。コンタクトホール52a内に非晶質シリコン層45が表出し、コンタクトホール52b内にアルミニウム下層配線層43bが表出している。そして、レジスト層51を溶剤でまたはアッシングで除去する。

【0042】この後に、図19に示すように、タングステンの選択的CVD法によって、コンタクトホール52a内の非晶質シリコン層45の上にタングステン層56aを、同時に、コンタクトホール52b内のアルミニウム配線層43bの上にタングステン層56bを形成する。例えば、成長ガスにWF₆を用い、圧力を10~100mTorrにし、かつ成長(基板)温度を200~350℃にして行う。タングステンの代わりにモリブデン、タンタルなどの高融点金属を選択的にCVD成長させても良い。そして、タングステン層56a、56bおよび層間絶縁層50の上の全面に、スパッタリング法などによってアルミニウム層53を積層する。このアルミニウム層53の上に上層配線層パターンにレジスト層(図示せず)を形成し、該レジスト層をマスクとして、アルミニウム層53をRIE法、プラズマエッチング法などによって選択的にエッチングして、上層配線層53を形成する。そして、レジスト層を溶剤でまたはアッシングで除去する。

【0043】このようなタングステン層56aとアルミニウム上層配線層53との組合せを、図12および図13にて示したような窒化チタン層とアルミニウム上層配線層との組合せにすることも可能である。また、コンタクトホール内のみを選択的にタングステン層を形成する条件でなく、全面にタングステン層を形成し、それか

ら、層間絶縁層上のタングステン層部分をエッチング除去して、コンタクトホール内のみに残すことも可能である。

【0044】このようにして製造されたアンチヒューズ付き半導体装置のアンチヒューズ構造Fでは、コンタクトホール52a内で上層配線層53（のタングステン層56a）が非晶質シリコン層45と接触しており、一方、コンタクトホール52b内では上層配線層53（のタングステン層56b）がアルミニウム下層配線層43bと接触して通常にコンタクト構造Cを構成している。

【0045】このようにして非晶質シリコン層45は下層配線層と層間絶縁層との間に形成され、しかも、平坦な表面上に形成されるので、非晶質シリコン層45の厚さは均一である。したがって、アンチヒューズの書き込み電圧やON抵抗は所定値でバラツキが非常に小さくなり、半導体回路の特性が安定する。下層および上層のバリア層44、56aが非晶質シリコン層45をアルミニウム配線層43aおよび53から離しているのので、アルミニウムのシリコン層45への拡散が防止されて、非晶質シリコン層45の抵抗値が変動（低下）することはない。

【0046】さらに、コンタクトホールの中にタングステン層を埋め込んでいるので、穴のアスペクト比が小さくなり、コンタクトホールでの上層配線層のステップカバレージが改善される。そして、アンチヒューズ構造Fでの下層配線層43aと上層配線層53との間に8～11V（例えば、10V）のパルス電圧を印加すると、非晶質シリコン層45の一部でジュール熱が発生し、多結晶シリコンに相転移して抵抗値が100MΩから100Ω程度まで下がり、下層配線層43aと上層配線層53とが導通状態になる。このようにして、集積回路中に多数形成された配線層間のアンチヒューズ（非晶質シリコン層）を所定箇所導通状態（ON状態）にすれば、所望の論理回路を構成することが出来る。

【0047】例4

図20および図21は、本発明の第4実施態様例に係るアンチヒューズを備えた半導体装置の製造工程を説明するための概略断面図である。この場合には、例2での図11に示したコンタクトホール68aおよび68bを完成した後で、上層バリア層（窒化チタン層）を全面形成していたのを、コンタクトホール内に上層バリア層のタングステン層を選択的に埋め込むことで形成する。なお、例2にて用いた参照番号および記号を同一ないし対応部材を表すものとして用いる。

【0048】図11での後に、図20に示すように、タングステンの選択的CVD法によって、コンタクトホール68a内の非晶質シリコン層65の上にタングステン層76aを、同時に、コンタクトホール68b内のアルミニウム配線層63の上にタングステン層76bを形成する。例えば、成長ガスにWF₆を用い、圧力を10～

100mTorrにし、かつ成長（基板）温度を200～350℃にして行う。そして、タングステン層76a、76bおよび層間絶縁層66の上の全面に、スパッタリング法などによってアルミニウム層72を積層する。このアルミニウム層72の上に上層配線層パターンレジスト層73を形成する。

【0049】図21に示すように、該レジスト層73をマスクとして、アルミニウム層72をRIE法、プラズマエッチング法などによって選択的にエッチングして、上層配線層72aおよび72bを形成する。そして、レジスト層73を溶剤でまたはアッシングで除去する。このようにして製造されたアンチヒューズ付き半導体装置のアンチヒューズ構造Fでは、アルミニウム上層配線層72aがコンタクトホール68a内のタングステン層76aを介して非晶質シリコン層65と接続されており、一方、上層配線層72aがコンタクトホール68b内のタングステン層76bを介してアルミニウム下層配線層43bと接続されて通常にコンタクト構造Cを構成している。

【0050】上述したように非晶質シリコン層65の厚さは均一であり、下層および上層のバリア層64、76aがアルミニウムのシリコン層65への拡散を防止する。さらに、コンタクトホールの中にタングステン層を埋め込んでいるので、穴のアスペクト比が小さくなり、コンタクトホールでの上層配線層のステップカバレージが改善される。

【0051】そして、アンチヒューズ構造Fでの下層配線層63と上層配線層72aとの間に8～11V（例えば、10V）のパルス電圧を印加すると、非晶質シリコン層65の一部が多結晶シリコンに相転移して抵抗値が100MΩから100Ω程度まで下がり、下層配線層63と上層配線層72aとが導通状態になる。

例5

図22および図23は、本発明の第5実施態様例に係るアンチヒューズを備えた半導体装置の製造工程を説明するための概略断面図である。この場合には、例2での図10に示した状態から図11でのコンタクトホール68bを完成させる際に、図22に示すように、非晶質シリコン層65をエッチングして、窒化チタン層64をそのまま残存させる。そして、例2において上層バリア層（窒化チタン層）を全面形成していたのを、例4のようにコンタクトホール内に上層バリア層のタングステン層を選択的に埋め込むことで形成する。なお、例2および例4にて用いた参照番号および記号を同一ないし対応部材を表すものとして用いる。

【0052】コンタクトホール68aおよび68bを完成させた後で（図22）、図23に示すように、タングステンの選択的CVD法によって、コンタクトホール68a内の非晶質シリコン層65の上にタングステン層76aを、同時に、コンタクトホール68b内の窒化チタ

ン層64の上にタングステン層76bを形成する。そして、タングステン層76a、76bおよび層間絶縁層66の上の全面に、スパッタリング法などによってアルミニウム層を積層し、その上に上層配線層パターンのレジスト層を形成する(図20参照)。

【0053】該レジスト層をマスクとして、アルミニウム層をRIE法、プラズマエッチング法などによって選択的にエッチングして、上層配線層72aおよび72bを形成する。そして、レジスト層を溶剤でまたはアッシングで除去する。このようにして製造されたアンチヒューズ付き半導体装置のアンチヒューズ構造Fでは、例4と同じにアルミニウム上層配線層72aがコンタクトホール68a内のタングステン層76aを介して非晶質シリコン層65と接続されており、一方、上層配線層72aがコンタクトホール68b内のタングステン層76bと窒化チタン層64とを介してアルミニウム下層配線層43bと接続されて通常にコンタクト構造Cを構成している。

【0054】上述したように非晶質シリコン層65の厚さは均一であり、下層および上層のバリア層64、76aがアルミニウムのシリコン層65への拡散を防止する。さらに、コンタクトホールの中にタングステン層を埋め込んでいるので、穴のアスペクト比が小さくなり、コンタクトホールでの上層配線層のステップカバレッジが改善される。

【0055】そして、アンチヒューズ構造Fでの下層配線層63と上層配線層72aとの間に8~11V(例えば、10V)のパルス電圧を印加すると、非晶質シリコン層65の一部が多結晶シリコンに相転移して抵抗値が100MΩから100Ω程度まで下がり、下層配線層63と上層配線層72aとが導通状態になる。上述した例1~5においては、アンチヒューズ用非晶質半導体層を非晶質シリコンで形成したが、その他の非晶質半導体(例えば、ゲルマニウム、カーボン)で形成してもよい。バリア層を窒化チタンないしタングステンで形成したが、その他の高融点金属(モリブデン、タンタル、チタンタングステン)あるいはその窒化物(窒化タングステン、窒化タンタルなど)で形成してもよい。さらに、配線層をアルミニウムで形成したが、多結晶シリコン、金属シリサイド、ポリサイド、高融点金属(W、Mo、Ta、TiW)などで形成してもよい。配線層をこゝら半導体材料で形成する場合には、バリア層を設ける必要がなくなる。

【0056】

【発明の効果】以上説明したように、本発明に係るアンチヒューズ付き半導体装置においては、アンチヒューズ用非晶質半導体層が下層配線層と層間絶縁層との間で平坦な表面上に形成されるので、非晶質半導体層の厚さは一つのコンタクトホール内で均一でありかつ複数のコンタクトホールでもバラツキがほとんどない。また、非晶質

半導体層をバリア層が挟んでいるので、アルミニウム配線層からの非晶質半導体層へのアルミニウム拡散は防止され、非晶質半導体層の抵抗値が変動(低下)することはない。したがって、書き込み電圧およびON抵抗は所定値ではほぼ一定であり、半導体回路の特性が安定する。さらに、上層バリア層の形成の際に、非晶質半導体層の端部でのステップカバレッジは問題にならないので、厚くする必要はない。

【図面の簡単な説明】

【図1】(a)~(d)は、従来のアンチヒューズ付き半導体装置の製造工程を説明する半導体装置の概略断面図である。

【図2】別の従来のアンチヒューズ付き半導体装置の概略断面図である。

【図3】本発明の第1実施態様に係るのアンチヒューズ付き半導体装置の製造工程でアンチヒューズ対応部分のレジスト層を形成したときの概略断面図である。

【図4】本発明の第1実施態様に係るのアンチヒューズ付き半導体装置の製造工程で選択的エッチング処理を行ったときの概略断面図である。

【図5】本発明の第1実施態様に係るのアンチヒューズ付き半導体装置の製造工程で下層配線層パターンニングを行ったときの概略断面図である。

【図6】本発明の第1実施態様に係るのアンチヒューズ付き半導体装置の製造工程で層間絶縁層にコンタクトホールを開けたときの概略断面図である。

【図7】本発明の第1実施態様に係るのアンチヒューズ付き半導体装置の製造工程で上層配線層を形成したときの概略断面図である(図8での線X-Xでの断面図である)。

【図8】図7の半導体装置の概略平面図である。

【図9】本発明の第2実施態様に係るのアンチヒューズ付き半導体装置の製造工程でコンタクトホール形成のためのレジスト層を形成したときの概略断面図である。

【図10】本発明の第2実施態様に係るのアンチヒューズ付き半導体装置の製造工程でコンタクトホール形成のための別のレジスト層を形成したときの概略断面図である。

【図11】本発明の第2実施態様に係るのアンチヒューズ付き半導体装置の製造工程でコンタクトホールを形成したときの概略断面図である。

【図12】本発明の第2実施態様に係るのアンチヒューズ付き半導体装置の製造工程でアルミニウム配線層の上に上層配線パターンのレジスト層を形成したときの概略断面図である。

【図13】本発明の第2実施態様に係るのアンチヒューズ付き半導体装置の製造工程で上層配線層を形成したときの概略断面図である(図14での線Y-Yでの断面図である)。

【図14】図13の半導体装置の概略平面図である。

【図15】本発明の第3実施態様に係るのアンチヒューズ付き半導体装置の製造工程でアンチヒューズ対応部分のレジスト層を形成したときの概略断面図である。

【図16】本発明の第3実施態様に係るのアンチヒューズ付き半導体装置の製造工程で選択的エッチング処理を行ったときの概略断面図である。

【図17】本発明の第3実施態様に係るのアンチヒューズ付き半導体装置の製造工程で下層配線層パターンニングを行ったときの概略断面図である。

【図18】本発明の第3実施態様に係るのアンチヒューズ付き半導体装置の製造工程で層間絶縁層にコンタクトホールを開けたときの概略断面図である。

【図19】本発明の第3実施態様に係るのアンチヒューズ付き半導体装置の製造工程で上層配線層を形成したときの概略断面図である。

【図20】本発明の第4実施態様に係るのアンチヒューズ付き半導体装置の製造工程でアルミニウム配線層の上に上層配線パターンのレジスト層を形成したときの概略断面図である。

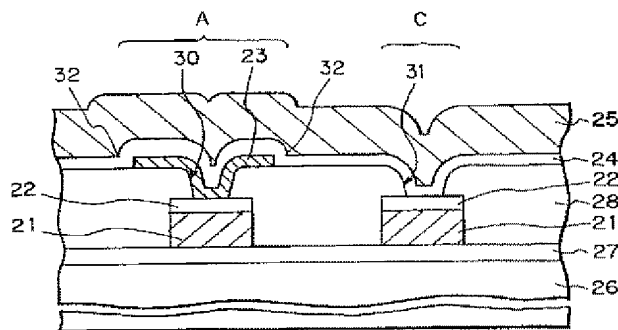
【図21】本発明の第4実施態様に係るのアンチヒューズ付き半導体装置の製造工程で上層配線層を形成したときの概略断面図である。

【図22】本発明の第5実施態様に係るのアンチヒューズ付き半導体装置の製造工程でコンタクトホールを形成したときの概略断面図である。

【図23】本発明の第5実施態様に係るのアンチヒューズ付き半導体装置の製造工程でコンタクトホールを形成したときの概略断面図である。

【図2】

従来の半導体装置の断面図



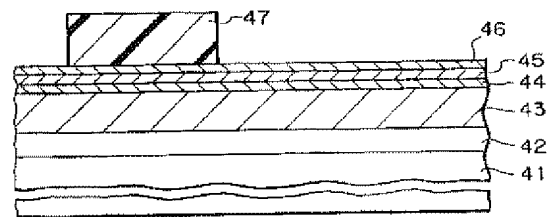
A…アンチヒューズ構造
C…コンタクト構造

ズ付き半導体装置の製造工程で上層配線層を形成したときの概略断面図である。

【符号の説明】

- 41…半導体基板
- 42…絶縁層
- 43…下層配線層（アルミニウム配線層）
- 44…下層バリア層（窒化チタン層）
- 45…非晶質シリコン層
- 46…上層バリア層（窒化チタン層）
- 47、48…レジスト層
- 50…層間絶縁層
- 52a、52b…コンタクトホール
- 53…上層配線層（アルミニウム配線層）
- 56a、56b…タングステン層
- 63…下層配線層（アルミニウム配線層）
- 64…下層バリア層（窒化チタン層）
- 65…非晶質シリコン層
- 66…層間絶縁層
- 67、49…レジスト層
- 68a、68b…コンタクトホール
- 71a…上層バリア層（窒化チタン層）
- 72、72a、72b…上層配線層（アルミニウム配線層）
- 76a、76b…タングステン層
- F…アンチヒューズ構造
- C…コンタクト構造

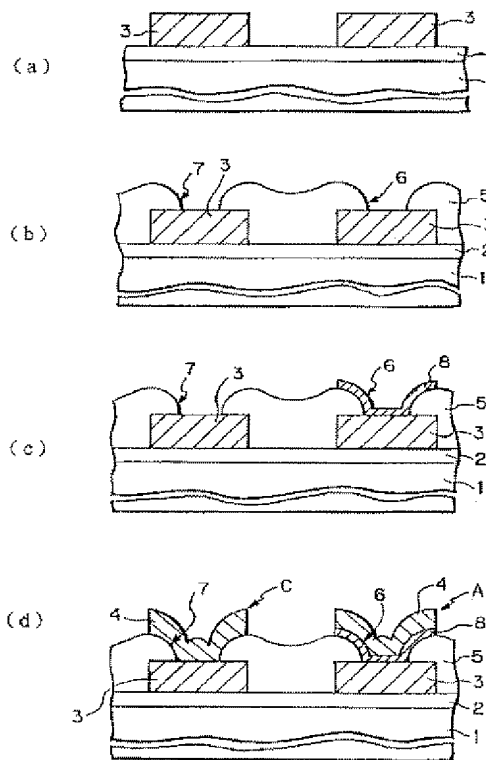
【図3】



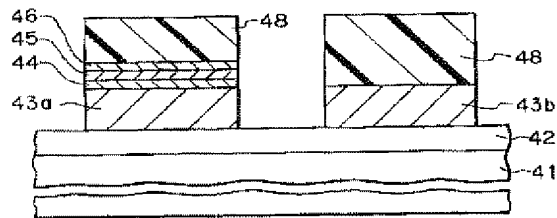
- 41…半導体基板
- 42…絶縁層
- 43…下層配線層（アルミニウム配線層）
- 44…下層バリア層（窒化チタン層）
- 45…非晶質シリコン層
- 46…上層バリア層（窒化チタン層）
- 47…レジスト層

【図 1】

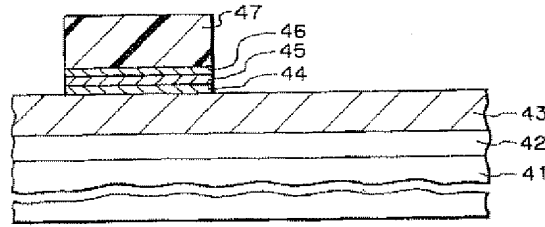
従来の半導体装置の製造工程を示す断面図



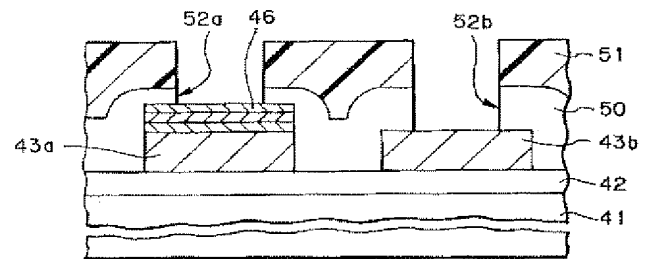
【図 5】



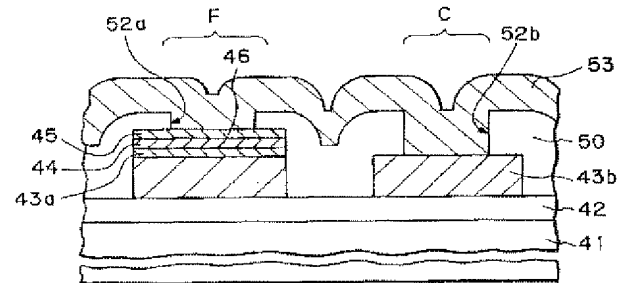
【図 4】



【図 6】

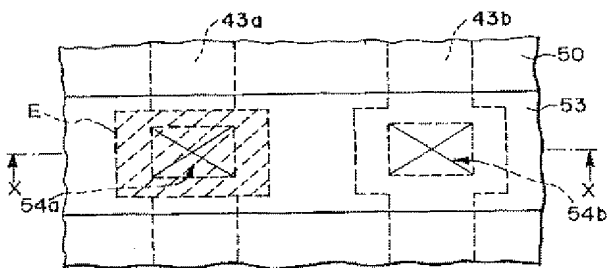


【図 7】

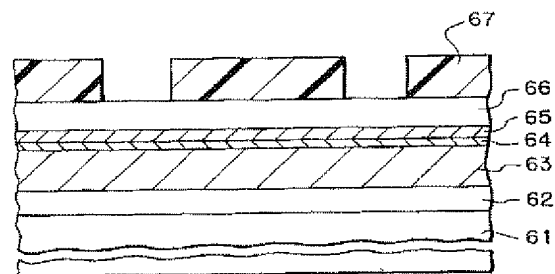


44…下層バリア層 (窒化チタン層)
 45…非晶質シリコン層
 46…上層バリア層 (窒化チタン層)
 50…層間絶縁層
 52a, 52b…コンタクトホール
 53…上層配線層 (アルミニウム配線層)

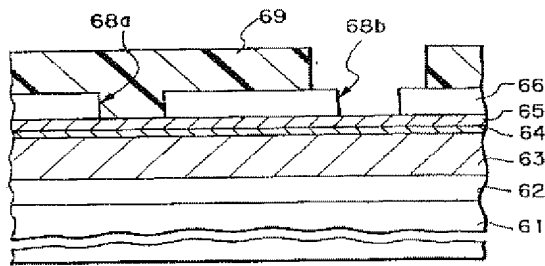
【図 8】



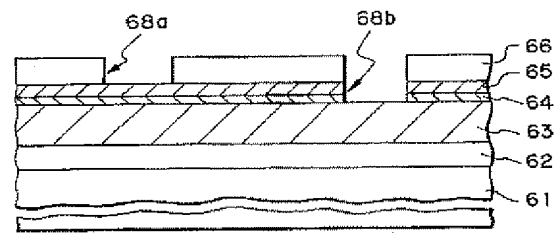
【図 9】



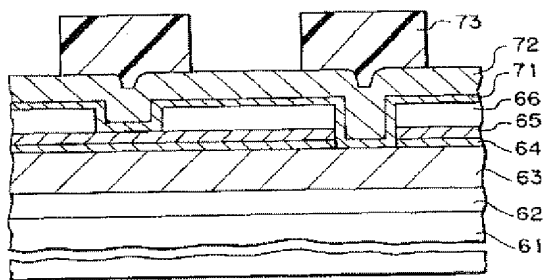
【図10】



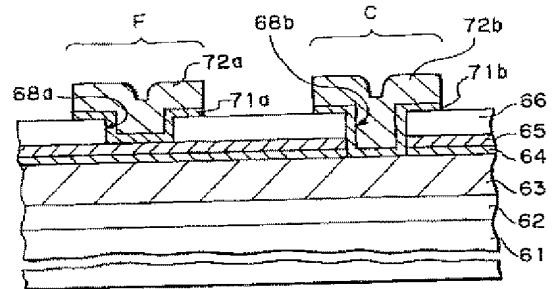
【図11】



【図12】

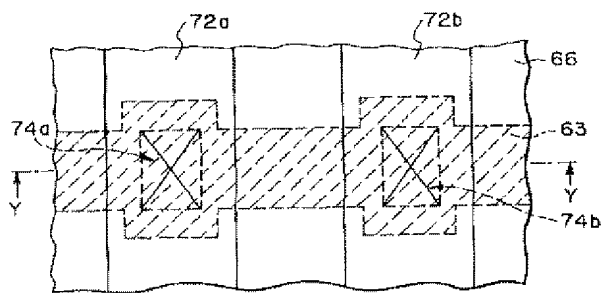


【図13】

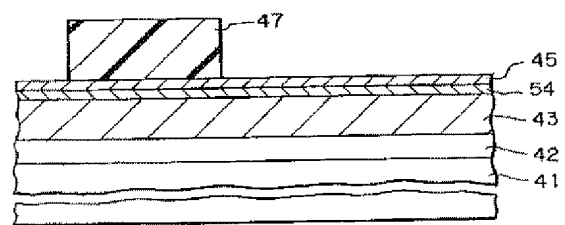


64...下バリア層 (窒化チタン層)
 65...非晶質シリコン層
 66...層間絶縁層
 68a, 68b...コンタクトホール
 71a...上層バリア層 (窒化チタン層)
 72a, 72b...上層絶縁層

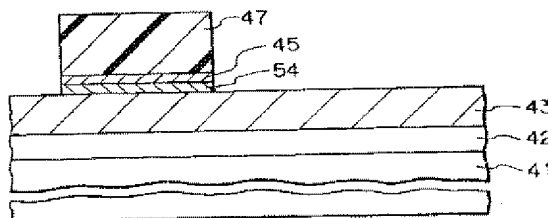
【図14】



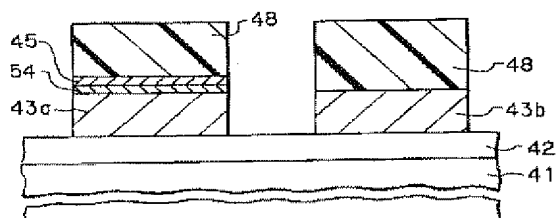
【図15】



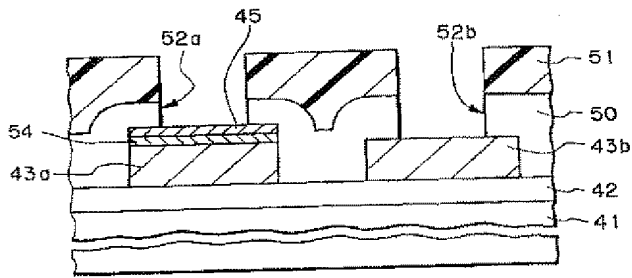
【図16】



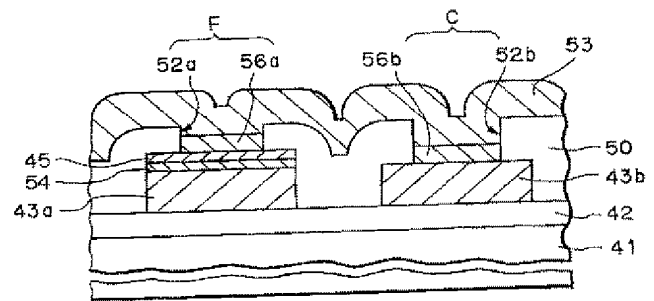
【図17】



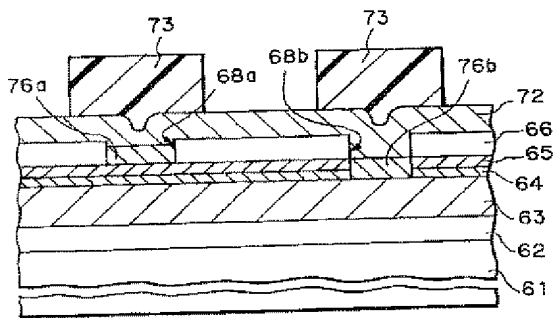
【図 18】



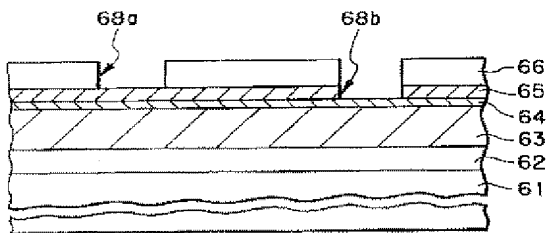
【図 19】



【図 20】

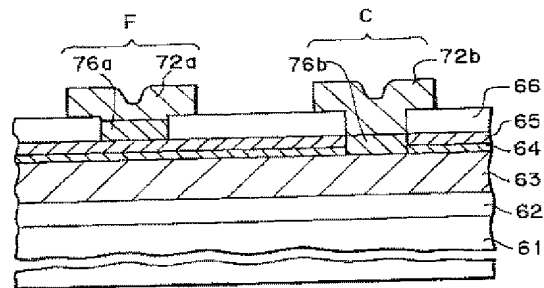


【図 22】



50…層間絶縁層
 52a, 52b…コンタクトホール
 53…上層配線層 (アルミニウム配線層)
 56a, 56b…タングステン層

【図 21】



72a, 72b…上層絶縁層 (アルミニウム配線層)
 76a, 76b…タングステン層

【図 23】

